

CF0 13721US/na
09/368, #95

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 8月 5日

出 願 番 号
Application Number:

平成10年特許願第221681号

出 願 人
Applicant(s):

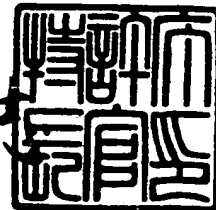
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 8月24日

特 許 庁 長 官
Commissioner,
Patent Office

山 建 志



出証番号 出証特平11-3059200

【書類名】 特許願

【整理番号】 3786013

【提出日】 平成10年 8月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335
H01L 27/146

【発明の名称】 撮像装置及びそれを用いた撮像システム

【請求項の数】 15

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 橋本 誠二

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置及びそれを用いた撮像システム

【特許請求の範囲】

【請求項 1】 複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、

前記共通アンプの入力部で、水平方向に配された複数の光電変換部からの信号を加算する手段と、

垂直方向または斜め方向に配された複数の光電変換部からの信号を水平転送手段を用いて加算する手段と、を有することを特徴とする撮像装置。

【請求項 2】 請求項 1 に記載の撮像装置において、2 行の光電変換部からの信号をインタレース走査により読み出すことを特徴とする撮像装置。

【請求項 3】 複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、

前記複数の光電変換部から複数の色信号が出力され、該複数の色信号のうち同色の信号を水平転送手段で加算することを特徴とする撮像装置。

【請求項 4】 請求項 3 に記載の撮像装置において、2 行の光電変換部からの信号をインタレース走査により読み出すことを特徴とする撮像装置。

【請求項 5】 請求項 3 に記載の撮像装置において、前記光電変換部を含む画素に色フィルタを配置したことを特徴とする撮像装置。

【請求項 6】 請求項 1 ～ 5 のいずれかの請求項に記載の撮像装置において、前記共通アンプは前記単位セル中の複数の光電変換部からの信号を増幅する増幅手段と前記単位セル中をリセットするリセット手段を有することを特徴とする撮像装置。

【請求項 7】 請求項 1 ～ 6 のいずれかの請求項に記載の撮像装置において、
前記単位セル内の共通アンプからの画像信号を蓄積する画像信号蓄積手段と、
前記共通アンプの特性のバラツキを補正するための前記共通アンプの特性のバラツキ信号を蓄積するバラツキ信号蓄積手段と、

前記画像信号蓄積手段からの信号から前記バラツキ信号蓄積手段からの信号を

差分する差分手段と、

を有することを特徴とする撮像装置。

【請求項 8】 請求項 1～6 のいずれかの請求項に記載の撮像装置において

、

前記単位セル中の前記共通アンプからの第 1 の信号を蓄積する第 1 の蓄積手段と、

前記共通アンプからの第 2 の信号を蓄積する第 2 の蓄積手段と、

前記第 1 の蓄積手段からの信号から前記第 2 の蓄積手段からの信号を差分する差分手段と、

を有することを特徴とする撮像装置。

【請求項 9】 請求項 8 に記載の撮像装置において、前記第 1 の信号は画像信号であり、前記第 2 の信号はノイズ信号であることを特徴とする撮像装置。

【請求項 10】 請求項 1～9 のいずれかの請求項に記載の撮像装置において、少なくとも前記光電変換部間のピッチを少なくとも垂直方向又は水平方向の一方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置。

【請求項 11】 請求項 10 に記載の撮像装置において、前記調整手段は遮光膜であることを特徴とする撮像装置。

【請求項 12】 請求項 1～11 のいずれかの請求項に記載の撮像装置において、前記共通アンプは単位セルの中心部に配置したことを特徴とする撮像装置。

【請求項 13】 請求項 11 に記載の撮像装置において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項 14】 請求項 13 に記載の撮像装置において、前記遮光膜は少なくとも前記単位セルの水平方向又は垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項 15】 請求項 1～14 のいずれかの請求項に記載の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は撮像装置及びそれを用いた撮像システムに係わり、特に共通アンプに複数の画素を設けた時のインタレース駆動と画素数変換に関するものである。

【0002】

【従来の技術】

1998年から米国でデジタル放送が開始され、2006年にはNTSC放送(525V)が廃止され、TV放送は全てHDデジタルにする計画がある。またデジタルスチルカメラは130万画素のものが市場を席卷する勢いである。このことは、高画素のセンサーから高解像度信号と低解像度信号を必要に応じて出力することが望まれることを意味する。

【0003】

こういう状況のなか、CCDでは画素サイズのシュリンク化(縮小化)が進んでいる。しかし、5 μ m□サイズ程度のCCDでは高速読出しができず、現状では60万画素、60フレーム/秒程度のものが製品化されるに留まっている。

【0004】

一方、CMOS製造プロセスと同様のプロセスで作製される、CMOSセンサーはランダムアクセスが可能であるので、将来の高速化に適したセンサーとして期待されている。

【0005】

ところで、高画素数のセンサーから低画素数を読出す場合、間引き走査を行うことで低画素の情報を得ることができる。この間引き走査において、

- ① CCDでは不要な水平ラインの画素信号を水平シフトレジスタに設けたオーバフロートレインに捨てていた。またCCDから読み出される信号で必要な信号のみをサンプリングしていた。
- ② CMOSセンサーではランダムアクセスにより必要な信号のみを出力していた。

【0006】

【発明が解決しようとする課題】

しかしながら、上記①のCCDの間引き走査では、不要な画素の電荷も転送するので無駄な電力を要する。また不要な信号は間引いて捨てるので、低サンプリングによるモアレが発生する。また上記②の間引き走査でも同様にモアレが発生する。

【0007】

本発明の目的は、共通アンプに接続された画素をインタレース走査するとき、また、高画素のセンサーから低画素の信号を読出すとき、共通アンプ間の信号レベル差が発生しないように、信号を読出すことのできる撮像装置を提供することにある。

【0008】

【課題を解決するための手段】

本発明の撮像装置は、複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において

前記共通アンプの入力部で、水平方向に配された複数の光電変換部からの信号を加算する手段と、垂直方向または斜め方向に配された複数の光電変換部からの信号を水平転送手段を用いて加算する手段と、を有することを特徴とする。

【0009】

また本発明の撮像装置は、複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、前記複数の光電変換部から複数の色信号が出力され、該複数の色信号のうち同色の信号を水平転送手段で加算することを特徴とする。

【0010】

本発明の撮像システムは、上記本発明の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする。

【0011】

【発明の実施の形態】

まず、本発明の説明に先だって、公知の関連技術との違いについて説明する。

【0012】

暗い被写体を撮像する場合、CMOSセンサーでは垂直2画素の信号を加算することは既に行われている。例えば、特開平9-46596号公報の図4には同時刻に垂直方向の上下2つの光電変換部の信号をセル内で加算することが記載されている。しかし、水平方向の光電変換部からの信号加算についての開示、および垂直方向または斜め方向の光電変換部の信号の加算を水平転送手段で加算することについては開示はなく、また色信号を加算して読み出す場合に同色の信号を加算して読み出すことの開示はない。

【0013】

また、垂直方向の2画素又は3以上の画素の光電変換部について一つの増幅手段を設けることについては、特開平4-461号公報に開示され、水平・垂直方向の4画素の光電変換部について一つの増幅手段を設けることについては、特開昭63-100879号公報に開示されているが、いずれも加算処理についての開示はない。

【0014】

図1は本発明の撮像装置の一部の構成を示す概略図、図2は図1の撮像装置の単位セルSの構成を示す図である。

【0015】

図2に示すように、単位セルSは、共通アンプ1つに光電変換部4つ（ここでは、 a_{11} 、 a_{12} 、 a_{21} 、 a_{22} ）を配置して構成されている。その他の単位セルについても同様な構成となっている。なお、ここでは共通アンプは増幅手段MSF、リセット手段MRES、セレクト手段MSELから構成され、共通アンプの入力部は増幅手段MSFのゲート部である。

【0016】

4画素単位で、水平方向の上2光電変換部（ a_{11} 、 a_{12} ）の信号転送を制御するラインを奇数の垂直シフトレジスタ V_o （ V_{o1} 、 V_{o2} 、 V_{o3} 、 \dots ）に接続し、水平方向の下2光電変換部（ a_{21} 、 a_{22} ）の信号転送を制御するラインを偶数の垂直シフトレジスタ V_e （ V_{e1} 、 V_{e2} 、 V_{e3} 、 \dots ）に接続する。共通アンプ

のリセットスイッチMRES及びセレクトスイッチMSELは奇数の選択回路 S_o (S_{o1}, S_{o2}, \dots)と偶数の選択回路 S_e (S_{e1}, S_{e2}, \dots)を経てそれぞれの垂直シフトレジスタ V_o, V_e に接続される。垂直シフトレジスタ V_o, V_e と選択回路 S_o, S_e は独立に制御することができる。

【0017】

図3にインタレース走査時の垂直シフトレジスタのタイミングチャートを示す。図3(a)は奇数フィールドのタイミングチャート、図3(b)は偶数フィールドのタイミングチャートを示す。

【0018】

図3(a)では、共通アンプに接続された2ライン毎に水平走査が行われる。即ち奇数(odd)行の垂直シフトレジスタ V_{on} と偶数(even)行の垂直シフトレジスタ V_{en} が同時に制御される。ここで、信号 ϕ_o, ϕ_e がHighのレベルが水平ブランキング期間に相当し、センサのリセット動作と読出し動作が行われる。

【0019】

図3(b)では、共通アンプに接続された2ラインの画素で、共通アンプ間の隣接するラインが選択され、水平走査が行われる。即ち図3(a)に対し垂直シフトレジスタの各セル番号が1つずれて、垂直シフトレジスタ V_{on+1} と垂直シフトレジスタ V_{en} 、垂直シフトレジスタ V_{on+2} と垂直シフトレジスタ V_{en+1} の組合せで駆動される。

【0020】

上記のインタレース走査において、上記画素信号の加算処理を行う場合、同一単位セル内の複数の光電変換部からの信号を加算処理するときには、同一の共通アンプの入力部で加算処理を行うことができるが、異なる単位セル内にある複数の光電変換部からの信号を加算処理するときには、同一の共通アンプの入力部で加算処理を行うことができない。図4に示す撮像装置の各単位セルを用いて説明すると、同一単位セル内での加算、例えば、水平方向に配列された光電変換部からの信号の加算($a_{11} + a_{12}, a_{21} + a_{22}, a_{31} + a_{32}, \dots$)、垂直方向に配列された光電変換部からの信号の加算($a_{11} + a_{21}, a_{31} + a_{41}, \dots$)、および斜め方向に配列された光電変換部からの信号の加算($a_{11} + a_{22}, a_{31} +$

a_{42} 、 \dots あるいは $a_{12}+a_{21}$ 、 $a_{32}+a_{41}$ 、 \dots) の場合には同一の共通アンプAにより加算処理して単一セルから読み出すことができる。しかし、異なる単位セル間での加算、例えば、垂直方向に配列された光電変換部からの信号の加算($a_{21}+a_{31}$ 、 $a_{41}+a_{51}$ 、 \dots)、および斜め方向に配列された光電変換部からの信号の加算($a_{21}+a_{32}$ 、 $a_{41}+a_{52}$ 、 \dots あるいは $a_{22}+a_{31}$ 、 $a_{42}+a_{51}$ 、 \dots) の場合には同一の共通アンプAにより加算処理して単一セルから読み出すことができない。

【0021】

そこで、本発明では、複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、異なる単位セル内にある複数の光電変換部からの信号を加算処理するモードを含む場合には、垂直方向または斜め方向に配列された光電変換部からの信号の加算を水平転送手段を用いて行う。

【0022】

以下、本発明について具体的に説明する。

【0023】

まずカラーセンサーで色分離を行う場合について説明する。図5にGを市松状に配置した場合の色フィルタを設けた単位セルを示す。

【0024】

図5に示すように、4画素から成る繰返し単位セル30のうち、左上と右下に、解像度に最も効くG(緑)画素が配置されている。このG画素においては単位セル30の中心に配置されている共通アンプ部32の占める領域と中心対称な位置に遮光部35が存在している。従って、G画素における光電変換部31の重心は、G画素の中心に存在する。これによりG画素の光電変換部 a_{11} 、 a_{22} は、縦方向、横方向に等間隔 a で配置できている。R(赤)画素は単位セル30の右上に、B(青)画素は単位セル30の左下に配置されている。これらはG画素のように特に考慮された遮光部は有しないものの、その単位セル30における配置数が1のため、単位セル30の間隔 $2a$ で等間隔に配置できている。

【0025】

図6に色フィルタがG市松、R・B線順次配置時の色信号読出しタイミングチャートを示す。図7は各色信号の読出しを行うための回路図である。なお、図7には後述する低画素信号読出しでの同一色信号の加算処理を行うための加算処理手段も示されている。

【0026】

図6において、期間 T_1 では、パルス ϕ_{RV} で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス ϕ_{TN1} 、 ϕ_{TN2} 、 ϕ_{TN3} 、 ϕ_{TN4} 、 ϕ_{TS1} 、 ϕ_{TS2} 、 ϕ_{TS3} 、 ϕ_{TS4} で一時蓄積用容量 C_{TN1} 、 C_{TN2} 、 C_{TN3} 、 C_{TN4} 、 C_{TS1} 、 C_{TS2} 、 C_{TS3} 、 C_{TS4} 上の残留電荷の除去を行う。

【0027】

期間 T_2 では、1行目の光電変換部行(a_{11} 、 a_{12} 、 \dots 、 a_{1n})のなかで、まず G_1 画素(図5中左上のG画素)の光電変換信号を転送する前段階として、共通アンプの増幅手段MSFのゲート部(入力部)をパルス ϕ_{oR} でリセットし残留電荷を除去する。除去した後ゲート部にはリセットノイズが残る。

【0028】

期間 T_3 では、期間 T_2 でのリセットノイズと共通アンプのオフセット電圧を容量 C_{TN1} へ転送する期間である。パルス ϕ_{oS} で共通アンプの出力部を垂直信号線へ接続し、また共通アンプを動作状態にするためにパルス ϕ_L で負荷MOS Trを導通させ、パルス ϕ_{TN1} で垂直信号線と容量 C_{TN1} を接続させる。容量 C_{TN1} にはノイズ(N_1)として蓄積される。

【0029】

期間 T_4 では、 G_1 画素の光電変換部(a_{11} 、 a_{13} 、 \dots 、 a_{1n})からの光電変換信号(S_1)を容量 C_{TS1} へ転送する期間である。パルス ϕ_L 、 ϕ_{TS1} 、 ϕ_{oS} により共通アンプから容量 C_{TS1} までが導通状態となる。

【0030】

パルス ϕ_{o11} で光電変換信号は、光電変換部から共通アンプのゲート部へ転送される。この時点でゲートには T_2 期間でのリセットノイズに上記光電変換信号が加算されることになる。このゲート電圧は、共通アンプのオフセット電圧に重畳し、容量 C_{TS1} 上では信号($S_1 + N_1$)として蓄積される。

【0031】

その後、パルス ϕ_{RV} で垂直信号線をリセットし、信号線上の残留電荷の除去を行い、期間 T_2' にリセット、期間 T_3' に共通アンプのノイズ(N_2)の転送、期間 T_4' に R_1 画素からの信号(S_2+N_2)が転送される。同様に、期間 T_3'' 、 T_3''' に共通アンプのノイズ転送(N_3 、 N_4)、期間 T_4'' 、 T_4''' にノイズが加算された B_2 画素からの信号(S_3+N_3)、 G_2 画素(図中右下のG画素)からの信号(S_4+N_4)が転送される。そして差動アンプで色信号からノイズが除去されて、信号 S_1 (G)、 S_2 (R)、 S_3 (B)、 S_4 (G)が出力される。

【0032】

以上はインタレース走査の奇数フィールドの動作を示すものであるが、図3で述べた様に垂直シフトレジスタ V_o と V_e の組合せを変えることで偶数フィールドの動作を行うことができる。

【0033】

次に上記で、低画素信号読出しについて説明する。ここでは、G信号の加算処理を行う場合について説明する。

【0034】

なお、奇数フィールドで単位セル内の光電変換部 a_{11} と光電変換部 a_{22} からのG信号を加算する場合には、共通アンプの入力部で加算することもできる。しかし、偶数フィールドで光電変換部 a_{22} と光電変換部 a_{31} からのG信号を加算する場合には、共通アンプの入力部で加算することができないので、それぞれの単位セルからG信号を読み出した後に加算することになる。この場合、共通アンプで加算した信号と共通アンプから出力後に加算した信号とをインタレースパルスで切替える必要があるが、この時ゲインを精度良く一致させるのが困難である。

【0035】

そこで、本発明では、光電変換部 a_{11} と光電変換部 a_{22} からのG信号も光電変換部 a_{22} と光電変換部 a_{31} からのG信号も、ともに水平転送手段で加算処理をする。各色信号の読出し方法は上述した図6を用いて説明した読出し方法と同様である。

【0036】

同一色信号の加算処理は図7の信号読出し回路で行われる。図7の回路の場合は、加算処理が同一信号系を経るのでゲイン差は生じない。図7では水平転送手段となる水平シフトレジスタ(H・SR)とこれに接続されるスイッチングトランジスタにより各容量 C_{TN1} 、 C_{TS1} 、 C_{TN2} 、 C_{TS2} 、 C_{TN3} 、 C_{TS3} 、 C_{TS4} 、 C_{TN4} から信号を水平出力線に同時に出力し、減算アンプ $A_1 \sim A_4$ で信号(ノイズ成分を含む)からノイズを減算した後に加算器で加算している。他の方法として、水平出力線で容量 C_{TS1} と容量 C_{TS4} を、容量 C_{TN1} と容量 C_{TN4} を加算しても良い。あるいは一時蓄積容量間を接続して加算しても良い。

【0037】

次に単一センサーで色分離しない場合の実施例のタイミングチャートを図8に示す。この場合は同一色信号なので、水平方向の画素信号を共通アンプの入力部で加算できる。以下に説明する奇数フィールドでは $a_{11} + a_{12}$ 、 $a_{21} + a_{22}$ 、…の信号が得られる。

【0038】

期間 T_1 では、パルス ϕ_{RV} で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルス ϕ_{TN1} 、 ϕ_{TN2} 、 ϕ_{TS1} 、 ϕ_{TS2} で一時蓄積用容量 C_{TN1} 、 C_{TN2} 、 C_{TS1} 、 C_{TS2} 上の残留電荷の除去を行う。

【0039】

期間 T_2 で共通アンプのゲートを ϕ_{OR} でリセットし、期間 T_3 で共通アンプのノイズ(N_1)を容量 C_{N1} へ転送する。次に期間 T_4 で水平2つの光電変換部からの信号を転送パルス ϕ_{on1} 、 ϕ_{on2} で導通状態にし、ゲート部で加算する。この加算信号に対応する信号($S_1 + N_1$; S_1 は水平2光電変換部($a_{11} + a_{12}$)の加算信号成分、 N_1 はノイズ成分)は容量 C_{S1} へ転送される。

【0040】

次に、パルス ϕ_{RV} で垂直信号線をリセットし、信号線上の残留電荷の除去を行い、期間 T_2' で共通アンプのゲートを ϕ_{OR} でリセットし、期間 T_3' で共通アンプのノイズ(N_2)を容量 C_{N2} へ転送する。次に期間 T_4' で水平2つの光電変換部からの信号を転送パルス ϕ_{en1} 、 ϕ_{en2} で導通状態にし、ゲート部で加算する。この加算信号に対応する信号($S_2 + N_2$; S_2 は水平2光電変換部($a_{21} + a_{22}$)

2) の加算信号成分、 N_2 はノイズ成分)は容量 C_{S2} へ転送される。

【0041】

図3に示すように、垂直シフトレジスタ V_o と V_e の組合せを変えることで偶数フィールドの動作を行うことができる。偶数フィールドでは $a_{21} + a_{22}$, $a_{31} + a_{32}$, …の信号が得られる。

【0042】

垂直方向の画素信号の加算をする読出し回路構成図を図9に示す。なお図9の読出し回路に各光電変換部からの信号を読み出すタイミングは図6を用いて説明したタイミングチャートと同じである。図9においては垂直出力線と各容量 C_{TN1} , C_{TS1} , C_{TN2} , C_{TS2} , C_{TN3} , C_{TS3} , C_{TS4} , C_{TN4} とを接続するトランジスタおよび制御信号 ϕ_{TN1} , ϕ_{TS1} , ϕ_{TN2} , ϕ_{TS2} , ϕ_{TN3} , ϕ_{TS3} , ϕ_{TS4} , ϕ_{TN4} は省略している。

【0043】

図9の回路では、水平転送手段となる水平シフトレジスタ(H・SR)とこれに接続されるスイッチングトランジスタにより各容量 C_{TN1} , C_{TS1} , C_{TN2} , C_{TS2} , C_{TN3} , C_{TS3} , C_{TS4} , C_{TN4} から信号を水平出力線に同時に出力し、減算アンプ $A_1 \sim A_4$ により減算処理を行った後に垂直方向の信号 S_1 と S_3 とを加算器で加算を行っている。奇数フィールドでは $a_{11} + a_{21}$, $a_{12} + a_{22}$, …の信号が得られ、偶数フィールドでは $a_{21} + a_{31}$, $a_{22} + a_{32}$, …の信号が得られる。加算方法としては先に述べた様に水平出力線での加算、あるいは一時蓄積容量上での加算も可能である。

【0044】

以上述べた水平方向の画素信号の加算、あるいは垂直方向または斜め方向の画素信号の加算は、等価的に低画素の信号読出しになるので記録系や表示系の画素数に合う様に駆動すれば、低消費電力、低モアレの高品質の画像を得ることができる。

【0045】

図10にシステム概略図を示す。同図に示すように、光学系71、絞り80を通過して入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー

72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0046】

前述した高画素読出し（全画素読出し）と低画素読出し（加算読出し）とでは水平と垂直駆動パルスが異なる。従って読出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路76で各読出しモードに応じて行われる。また読出しモードで、加算により感度が異なる。例えば高画素読出しに対し加算読出しでは信号量が2倍になる。このままではダイナミックレンジが $1/2$ になるため絞り80を半絞り小さく制御することにより適正信号を得る。この結果、低照度時は $1/2$ の明るさまで撮影可能となる。

【0047】

次に本発明の撮像装置に好適に用いることができる単位セルの具体的な構成について説明する。

【0048】

図18に示す配置は、光電変換部173の配列が等ピッチとはならないために（ $a_1 \neq a_2$ ）、それぞれの画素内の光を関知する領域（受光部）の間隔が等しくならず、次のような問題が生じる。すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立ち得ない。これは前記単位セルを構成する画素数が4以外の場合にも同様に成り立つ。

【0049】

本発明者らは、複数画素中に分散された増幅手段を有するCMOSセンサーにおいても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。このような撮像装置は本発明において好適に用いることができる。

【0050】

図11は2行2列の画素が共通アンプ部12を共有する例を示す図である。図11では、共有する共通アンプ部12が4つの画素の中心に配置され、4つの光電変換部(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部12を取囲むように配置されている。ここで共通アンプ部12には図2の増幅手段MSF、リセット手段MSEL、選択手段MSELの他、転送手段MTX1~MTX4を含んでいる。

【0051】

しかも、共通アンプ部12の占める各画素における領域と中心対称な位置に遮光部15が存在している。従って、各画素における光電変換部11の重心は前記各画素の中心に存在する。これにより前記4つの光電変換部(a_{11} ~ a_{22})は縦方向、横方向に等間隔 a で配置できている。

【0052】

また図12では、共有する共通アンプ部22が4つの画素の横方向の中心部に配置され、4つの光電変換部21(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部22をはさむように配置されている。

【0053】

しかも、共通アンプ部22の占める各画素における領域と中心対称な位置に遮光部25が存在している。従って各画素における前記光電変換部21の重心は各画素の中心に存在する。これにより4つの光電変換部(a_{11} ~ a_{22})は縦方向、横方向に等間隔 a で配置できている。

【0054】

上述した図12の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。

【0055】

図13にCMOSセンサーの画素アレー部の第1の構成例の具体的なパターンレイアウト図を示す。

【0056】

図13に示すCMOSセンサーは単結晶基板上にレイアウトルール $0.4\mu\text{m}$ によって形成されており、画素の大きさは $8\mu\text{m}$ 角であり、増幅手段であるソースフォロワンプは2行2列の4画素で共有されている。従って、図中点線領域で示した繰返し単位セル81の大きさは $16\mu\text{m}\times 16\mu\text{m}$ 角であり、2次元アレーが形成されている。

【0057】

光電変換部であるホトダイオード82a, 82b, 82c, 82dは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。またこれらのホトダイオード82a, 82b, 82c, 82dの重心gは各画素に対して同一になるように設計されている。また95は遮光部である。

【0058】

88-aは左上の転送ゲート83-aを制御する走査線、90は行選択線、92はMOSゲート93を制御するリセット線である。

【0059】

ホトダイオード82a~82d中に蓄積された信号電荷は転送ゲート83a~83dを通してFD85に導かれる。ゲート83a~83dのMOSサイズは $L=0.4\mu\text{m}$, $W=1.0\mu\text{m}$ (L はチャネル長、 W はチャネル巾を示す。)である。

【0060】

FD85は巾 $0.4\mu\text{m}$ のA1配線によってソースフォロワの入力ゲート86に接続されており、FD85に転送された信号電荷は入力ゲート86の電圧を変調させる。入力ゲート86のMOSの大きさは $L=0.8\mu\text{m}$, $W=1.0\mu\text{m}$ であり、FD85と入力ゲート86の容量の和は $5fF$ 程度である。 $Q=CV$ であるから、 10^5 個の電子の蓄積によって入力ゲート86の電圧は、 $3.2V$ 変化するようになる。

【0061】

V_{DD} 端子 91 から流れ込む電流は入力ゲート 86 によって変調され、垂直信号線 87 に流出する。垂直信号線 87 に流出する電流は図示しない信号処理回路によって信号処理され、最終的には画像情報となる。

【0062】

その後、ホットダイオード 82a～82d, FD 85, 入力ゲート 86 の電位を所定の値の V_{DD} とするために、リセット線 92 に接続された MOS ゲート 93 を開くことで（このとき転送ゲート 83a～83d も開く）、ホットダイオード 82a～82d, FD 85, 入力ゲート 86 は V_{DD} 端子とショートされる。

【0063】

その後、転送ゲート 83a～83d を閉じることでホットダイオード 82a～82d の電荷蓄積が再び始まる。

【0064】

ここで注目すべきは、水平方向に貫通する配線 88a～88d, 90, 92 の全ては透明な導体である厚さ 1500 Å の ITO (Indium Tin Oxide) で形成されているために、前記配線部分のうち、ホットダイオード 82a～82d 上では光が透過するため、前記ホットダイオードの重心 g は光を感知する領域（受光部）の重心と一致することである。

【0065】

本構成例によれば画素ピッチが等しい比較的高面積率、高開口率な CMOS センサーを提供することができる。

【0066】

本発明の CMOS センサーの画素アレー部の第 2 の構成例の具体的なパターンレイアウト図を図 14 に示す。

【0067】

図 14 において、102a～102d はホットダイオード、103a～103d は転送ゲート、105 は FD、106 はソースフォロウの入力ゲート、107 は垂直信号線、108a～108d は走査線、110 は行選択線、112 は MOS ゲート 113 を制御するリセット線である。

【0068】

本構成例においては水平方向に走る配線108a~108d, 110, 112が3本ずつ各画素の中心を横切るように走っているために、ホトダイオード102a~102dに入射する光を妨げるような金属配線であっても、光を感知する領域の重心gの移動は生じず、従って前記画素の中心と一致する。

【0069】

本構成例によれば電気抵抗が小さな通常の（不透明な）金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供することができる。

【0070】

以上の構成例では、遮光膜の下部分が有効利用されているため、図15に示すように遮光膜の下部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。

【0071】

上述の第2構成例においては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された第3構成例を図16に示す。

【0072】

本構成例においては転送ゲート123a~123d、FD125、ソースフォロワの入力ゲート126、リセット用のMOSゲート133全てが横方向を走る配線（走査線128a~128d, 行選択線130, リセット線132）下に形成されているため、ホトダイオード122a~122d, 及びその開口を最大とすることができる。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。

【0073】

また本構成例においては前記増幅手段であるソースフォロワとリセット用のMOSトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。

【0074】

また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばス

マートセンサー等、新規の構成を追加することも可能である。

【0075】

本構成例によれば、ホトダイオードの面積、及び開口率が大きく取れることから、広ダイナミックレンジ、高感度な撮像装置を提供することができる。また、将来微細化が進み、前記ホトダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮することができる。

【0076】

また、以上の構成例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図17に示したような開口部が並進対称となっている構成のものでもよい。

【0077】

つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。

【0078】

【発明の効果】

以上説明したように、本発明によれば、共通アンプに複数の光電変換部を配置したことによる高開口率に加えて、インタレース駆動を行っても高画質が得られる。また低画素数駆動では低消費電力、記録あるいは表示画素像は低モアレで美しい画像が得られる。

【図面の簡単な説明】

【図1】

本発明の撮像装置の一部の構成を示す概略図である。

【図2】

図1の撮像装置の単位セルSの構成を示す図である。

【図3】

インタレース走査時の垂直シフトレジスタのタイミングチャートを示す図である。

【図4】

撮像装置の各単位セルを示す図である。

【図 5】

Gを市松状に配置した場合の色フィルタを設けた単位セルを示す図である。

【図 6】

色フィルタがG市松、R・B線順次配置時の色信号読出しタイミングチャートである。

【図 7】

同一色信号の加算処理を行う信号読出し回路の回路構成図である。

【図 8】

単一センサーで色分離しない場合の実施例のタイミングチャートである。

【図 9】

垂直方向の画素信号の加算をする読出し回路構成図である。

【図 10】

本発明によるシステム概略図である。

【図 11】

本発明の単位セルのレイアウトを示す図である。

【図 12】

本発明の単位セルのレイアウトを示す図である。

【図 13】

本発明の一構成例のパターンレイアウト図である。

【図 14】

本発明の一構成例のパターンレイアウト図である。

【図 15】

本発明の一構成例を表す図である。

【図 16】

本発明の一構成例のパターンレイアウト図である。

【図 17】

本発明の一構成例を表す図である。

【図 18】

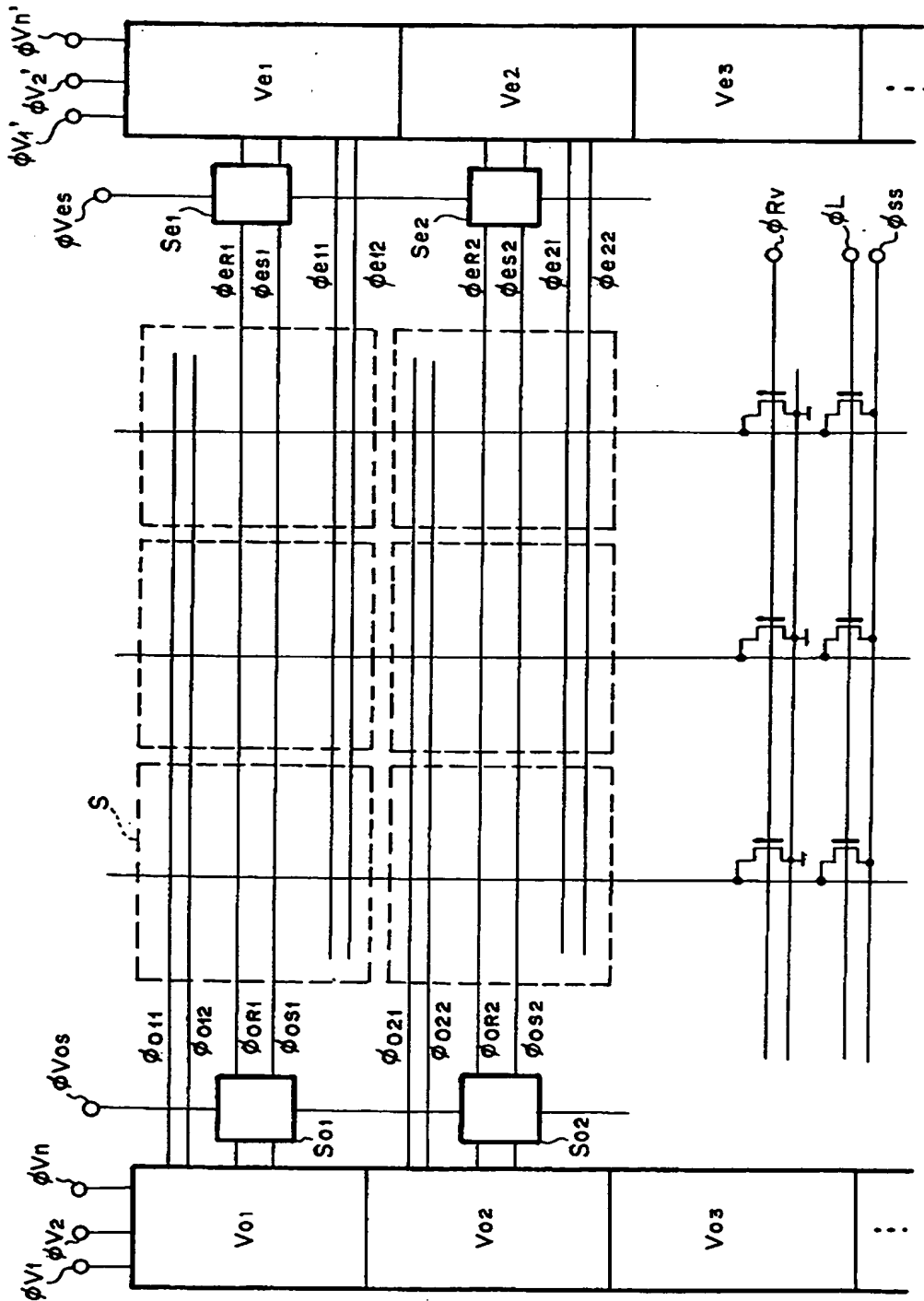
撮像装置の一例の単位セルのレイアウト図である。

【符号の説明】

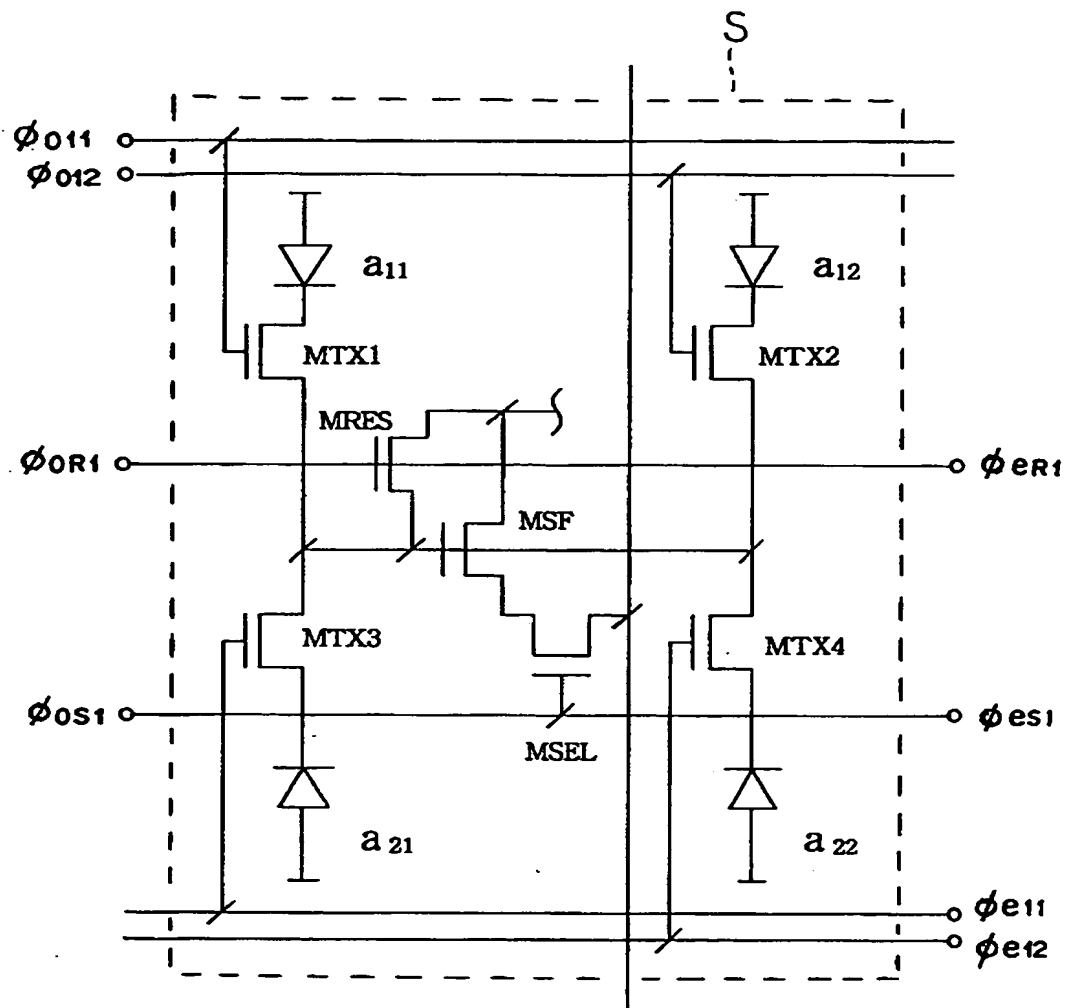
- 1 1 光電変換部
- 1 2 共通アンプ部
- 1 5 遮光部
- 2 1 光電変換部
- 2 2 共通アンプ部
- 2 5 遮光部

【書類名】 図面

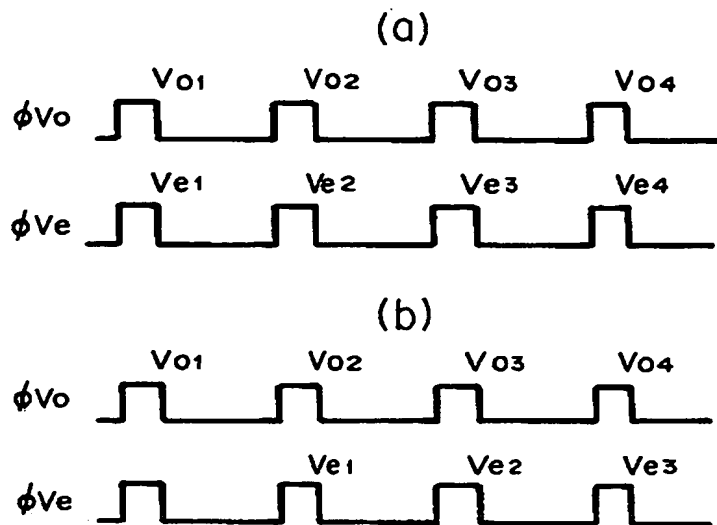
【図 1】



【図 2】



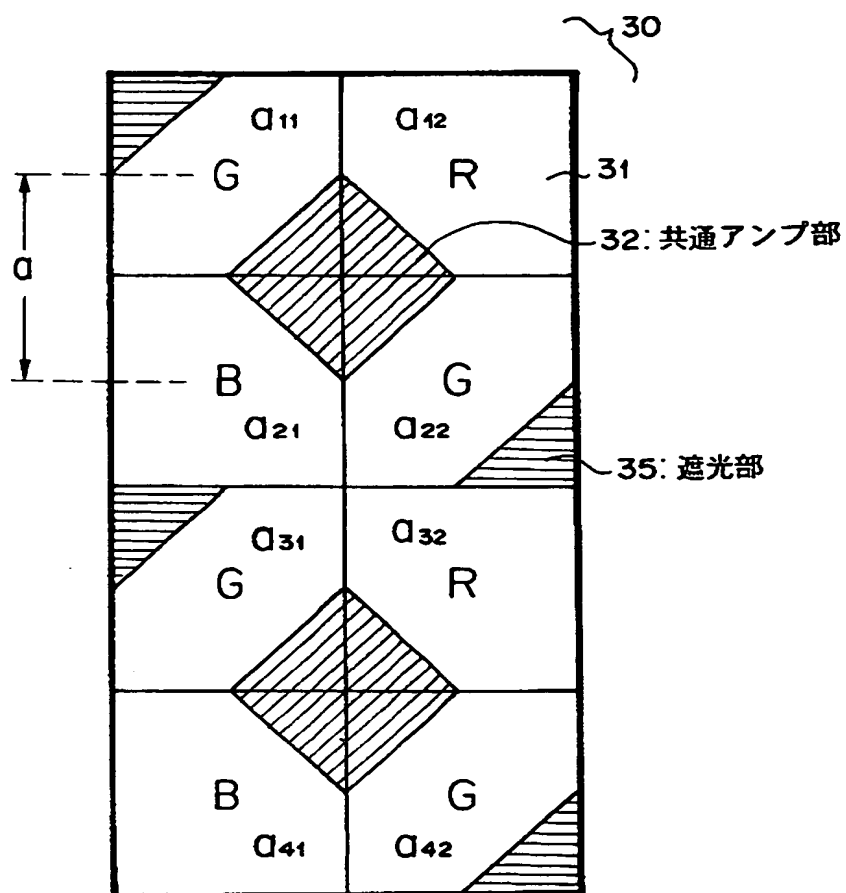
【図 3】



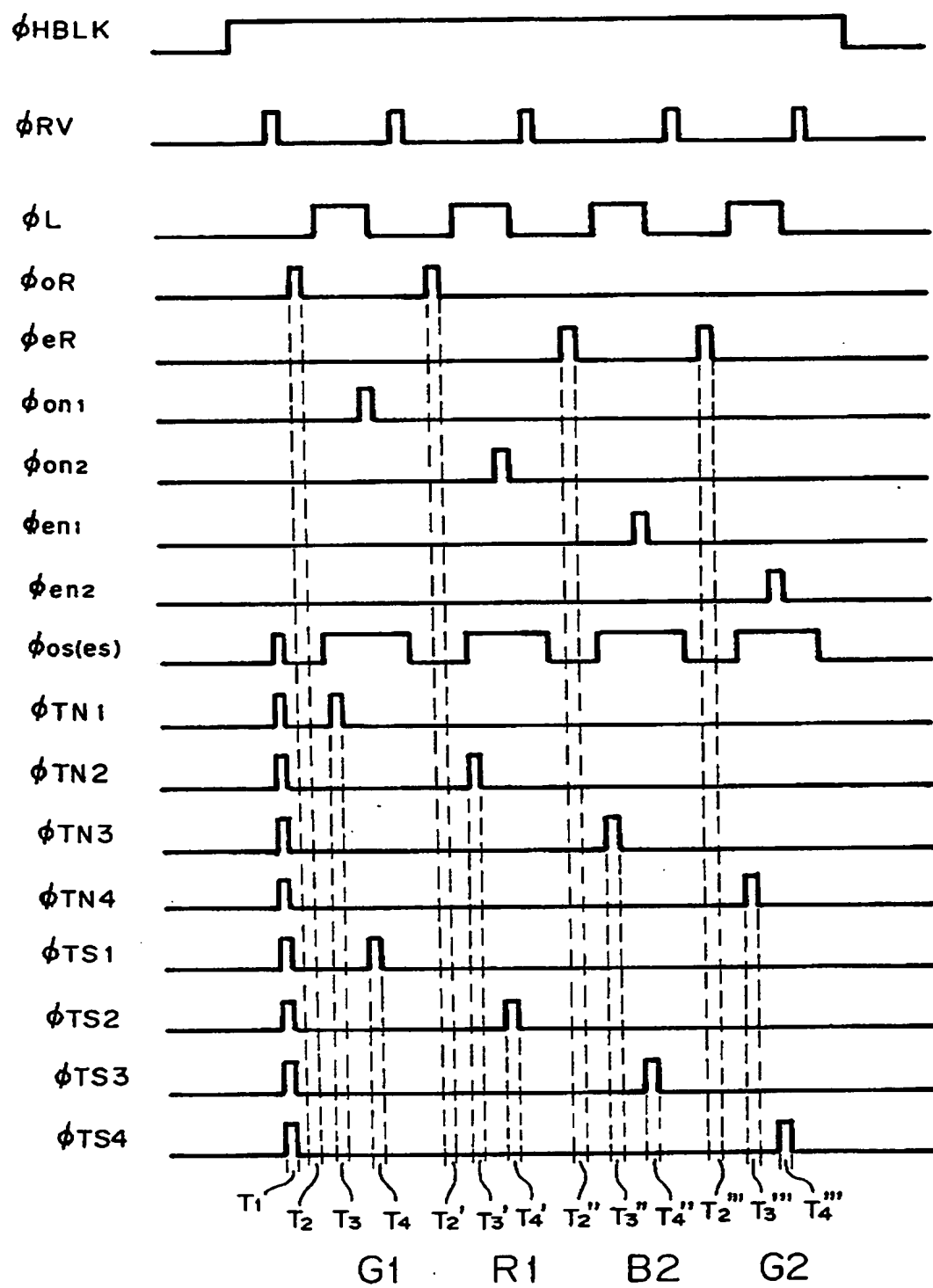
【図 4】

V1	Q ₁₁	A	Q ₁₂	...
V2	Q ₂₁		Q ₂₂	
V3	Q ₃₁	A	Q ₃₂	...
V4	Q ₄₁		Q ₄₂	
V5	Q ₅₁	A	Q ₅₂	...
V6	Q ₆₁		Q ₆₂	
V7	Q ₇₁	A	Q ₇₂	...
V8	Q ₈₁		Q ₈₂	
⋮	⋮		⋮	

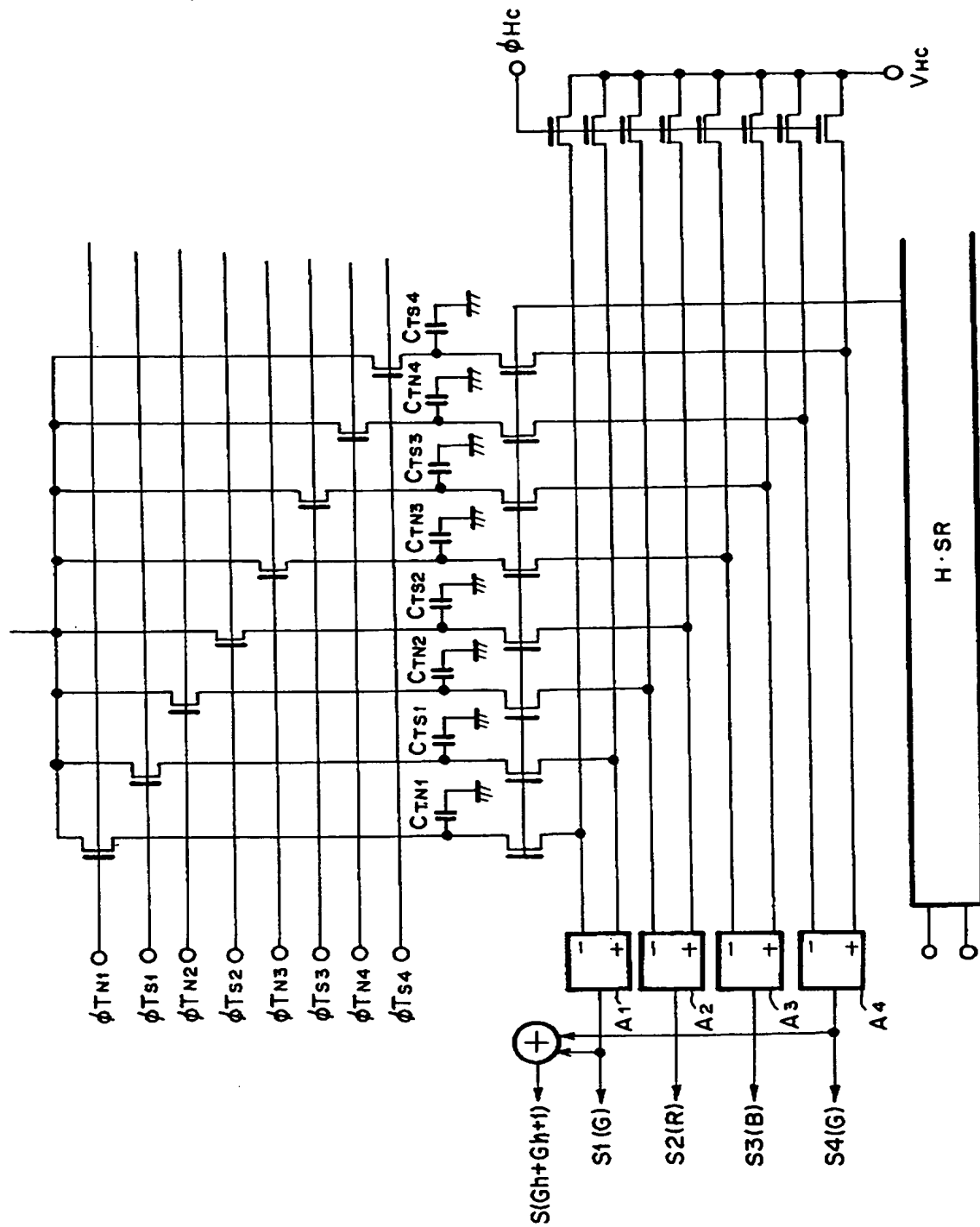
【図 5】



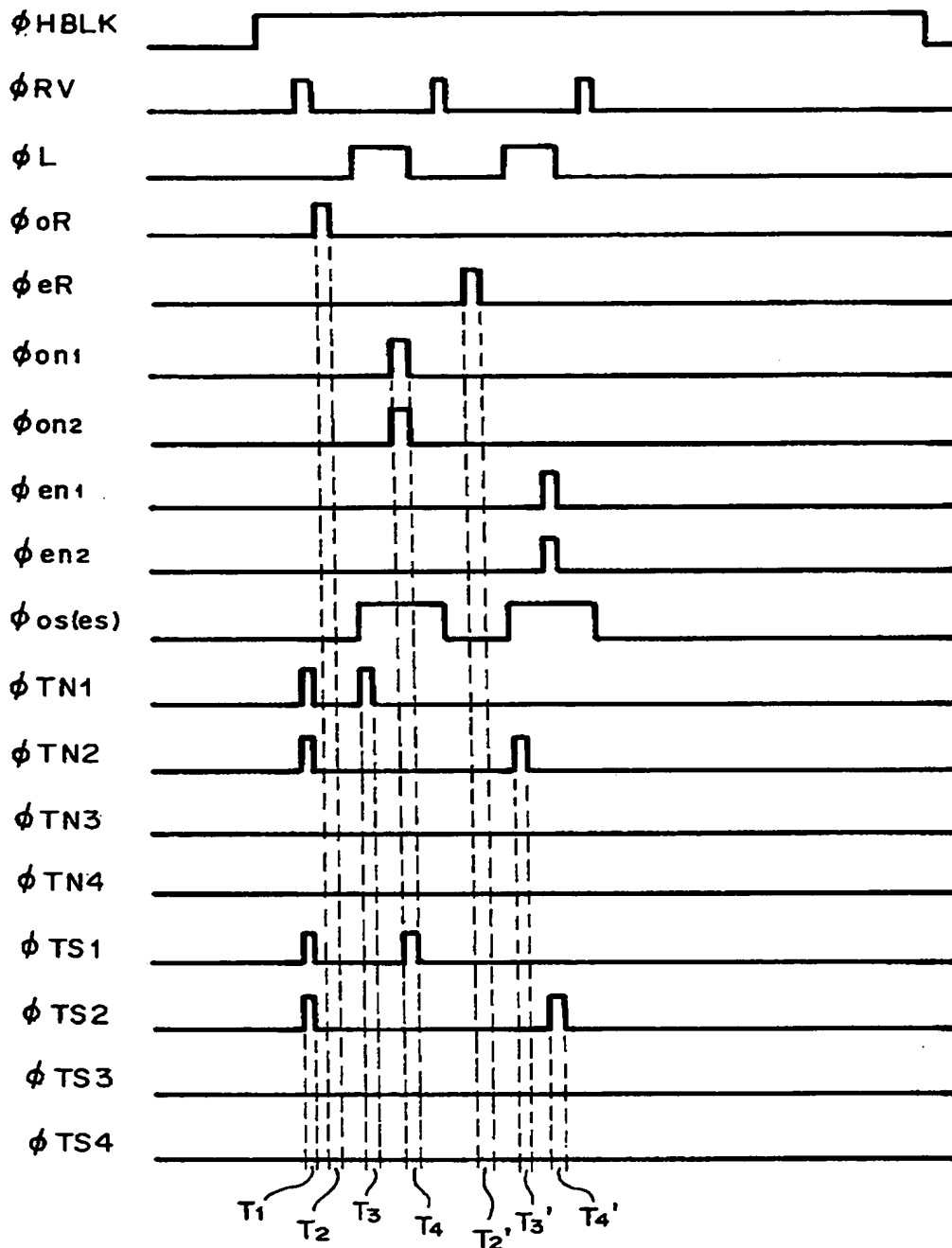
【図6】



【図 7】



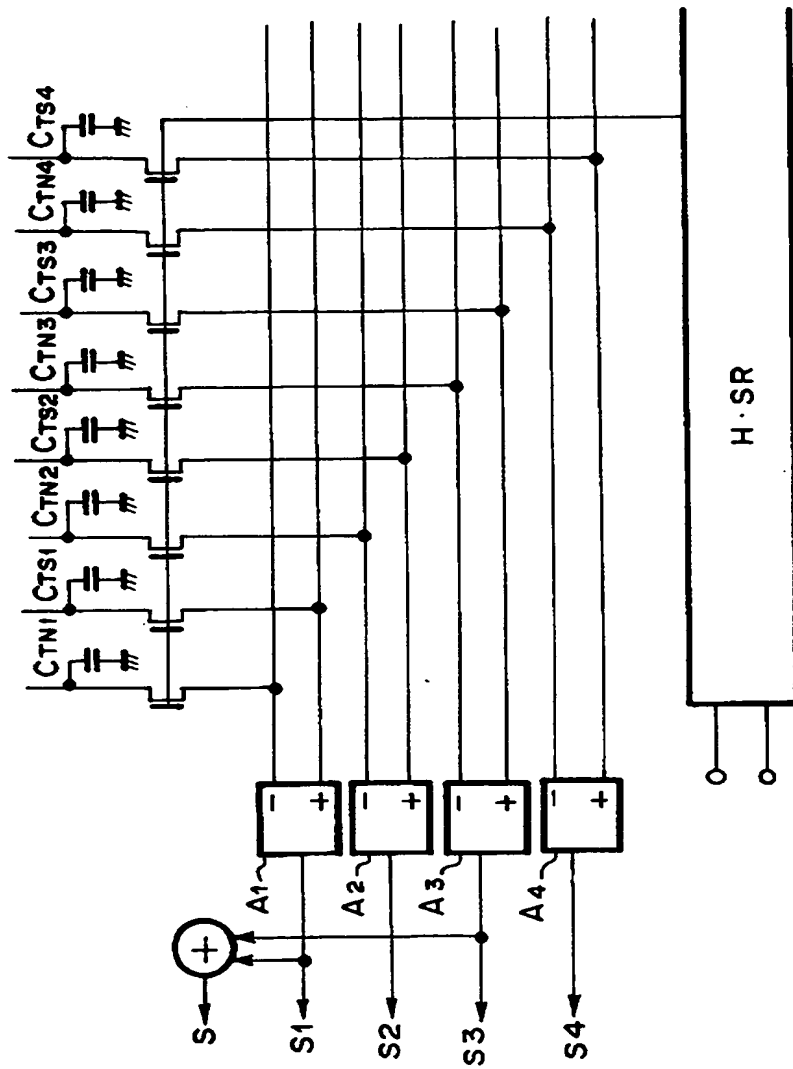
【図8】



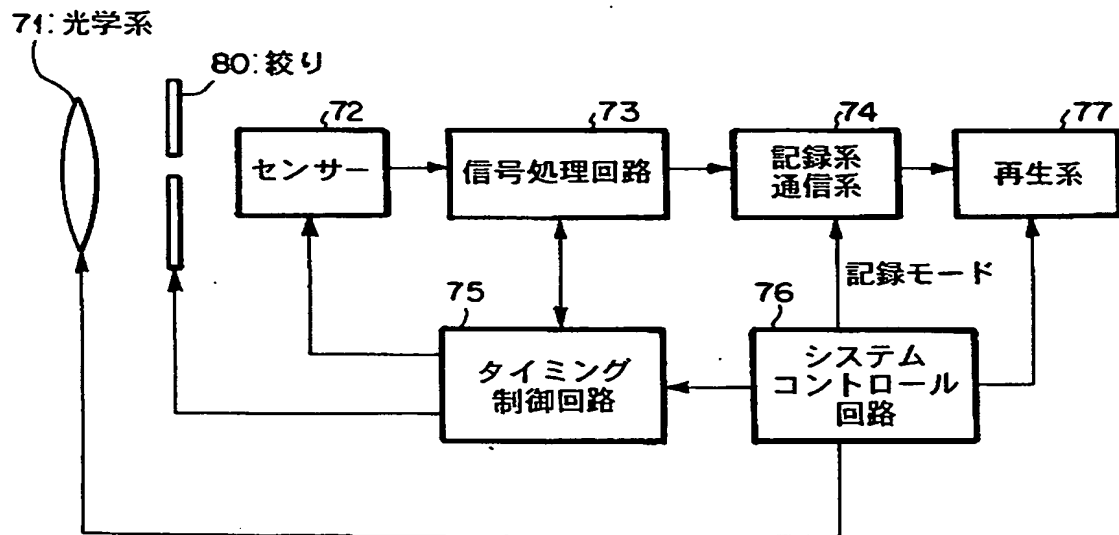
奇数フィールド $Q_{11} + Q_{12}$ $Q_{21} + Q_{22}$

偶数フィールド $Q_{21} + Q_{22}$ $Q_{31} + Q_{32}$

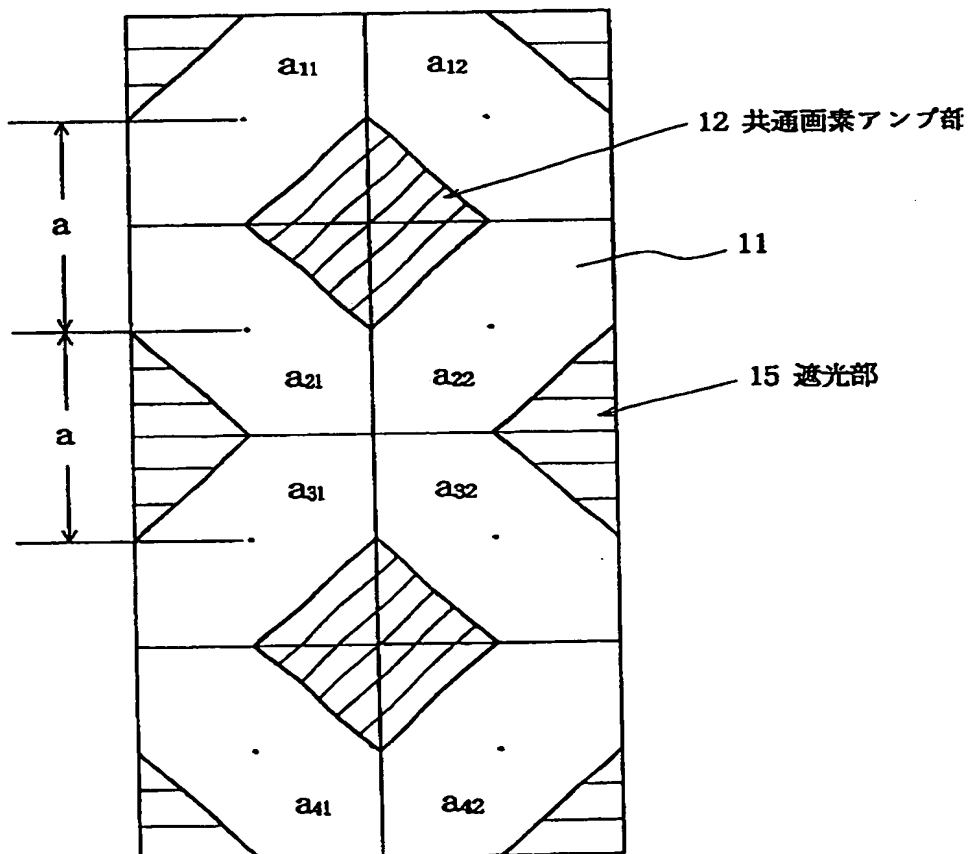
【图9】



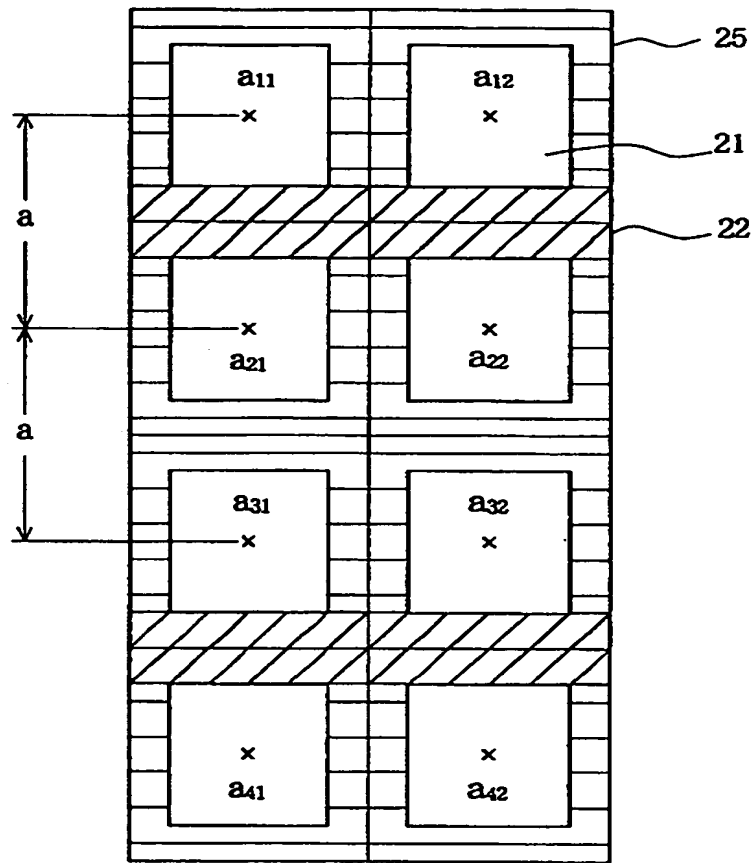
【図10】



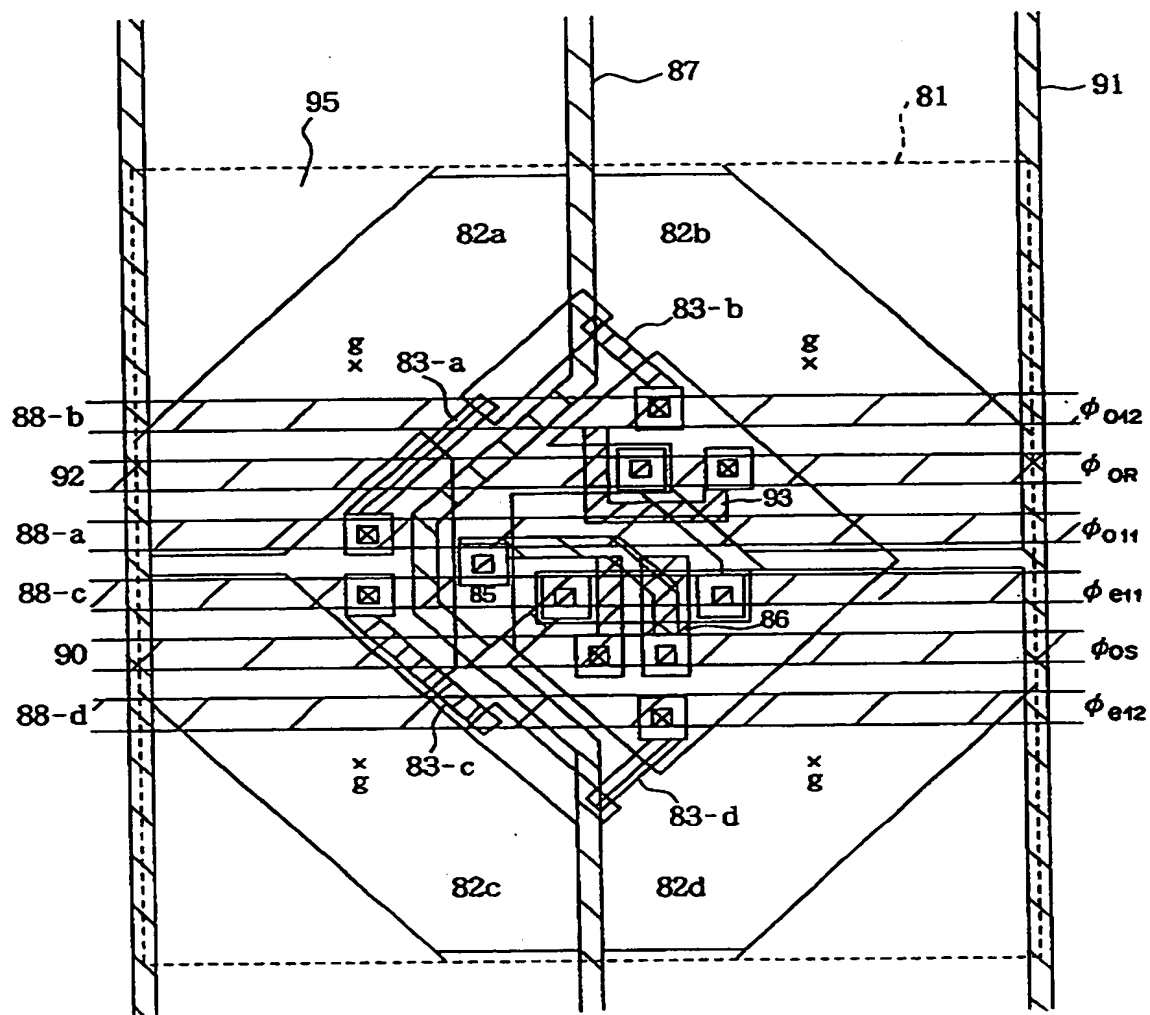
【図11】



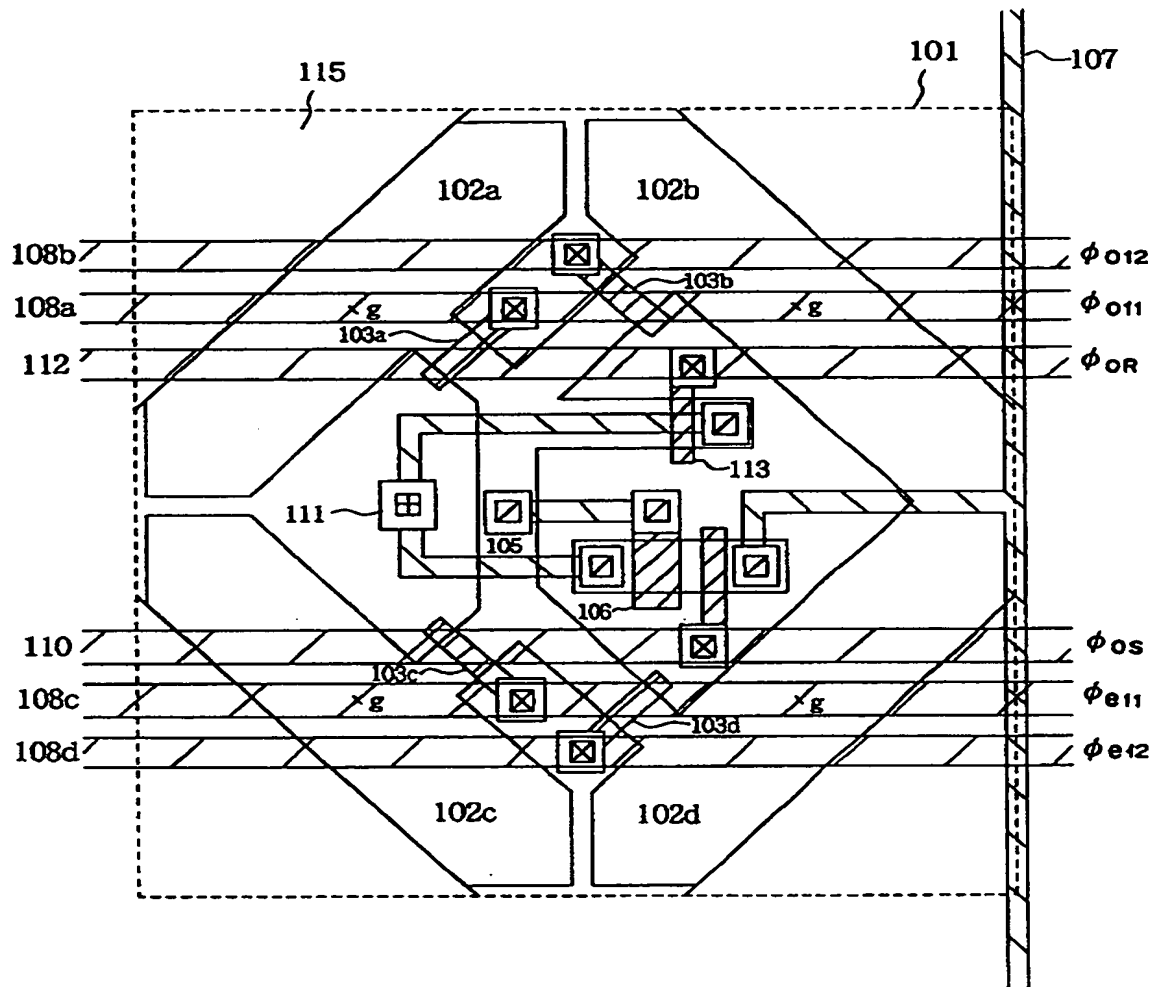
【図 12】



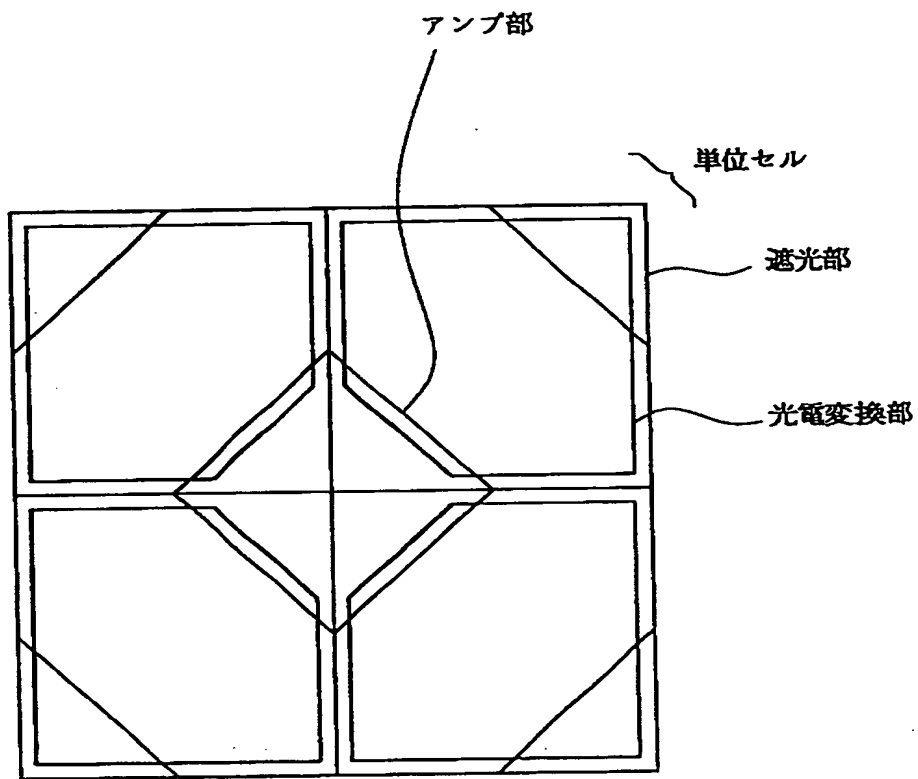
【図 13】



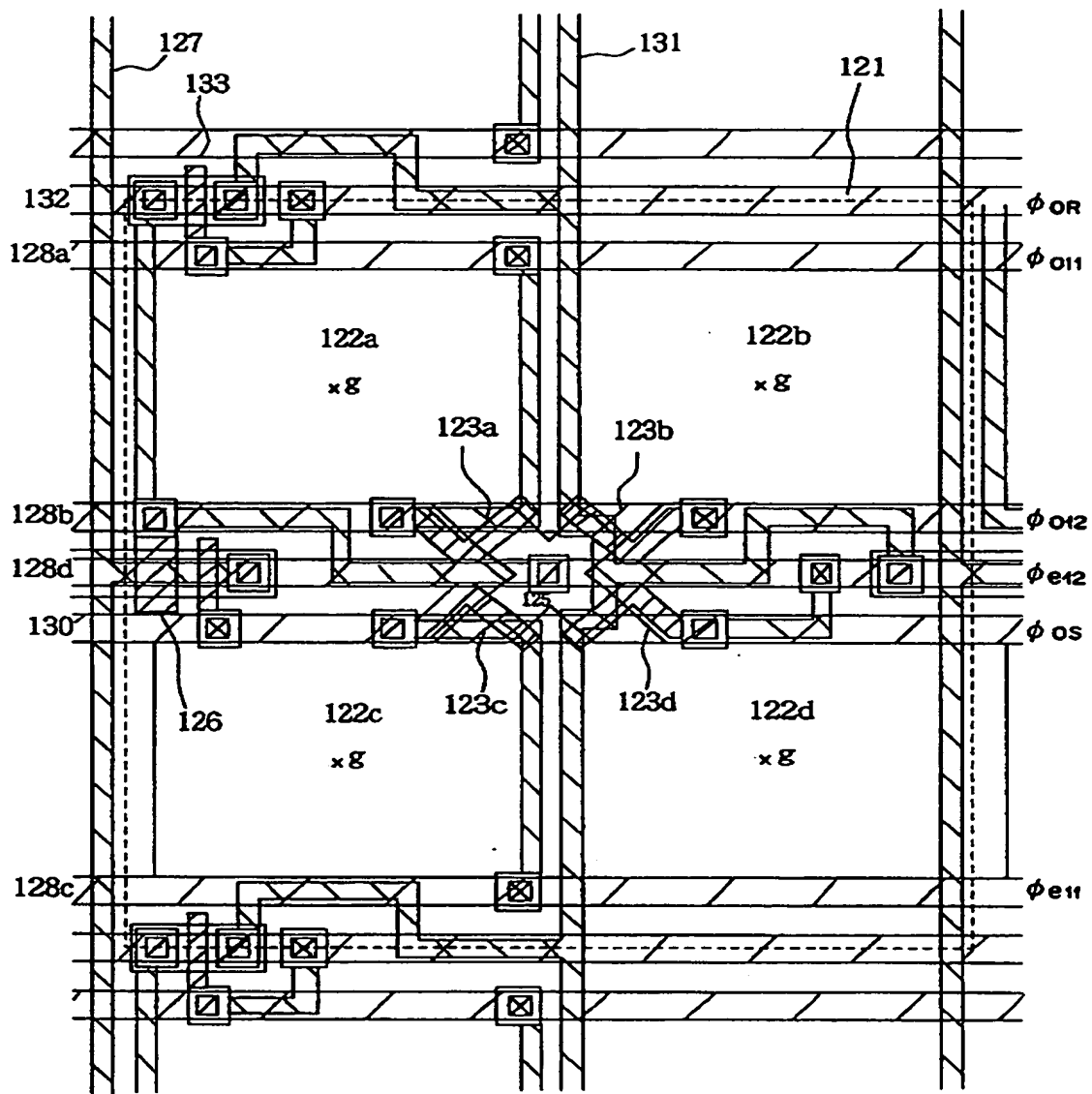
【図 14】



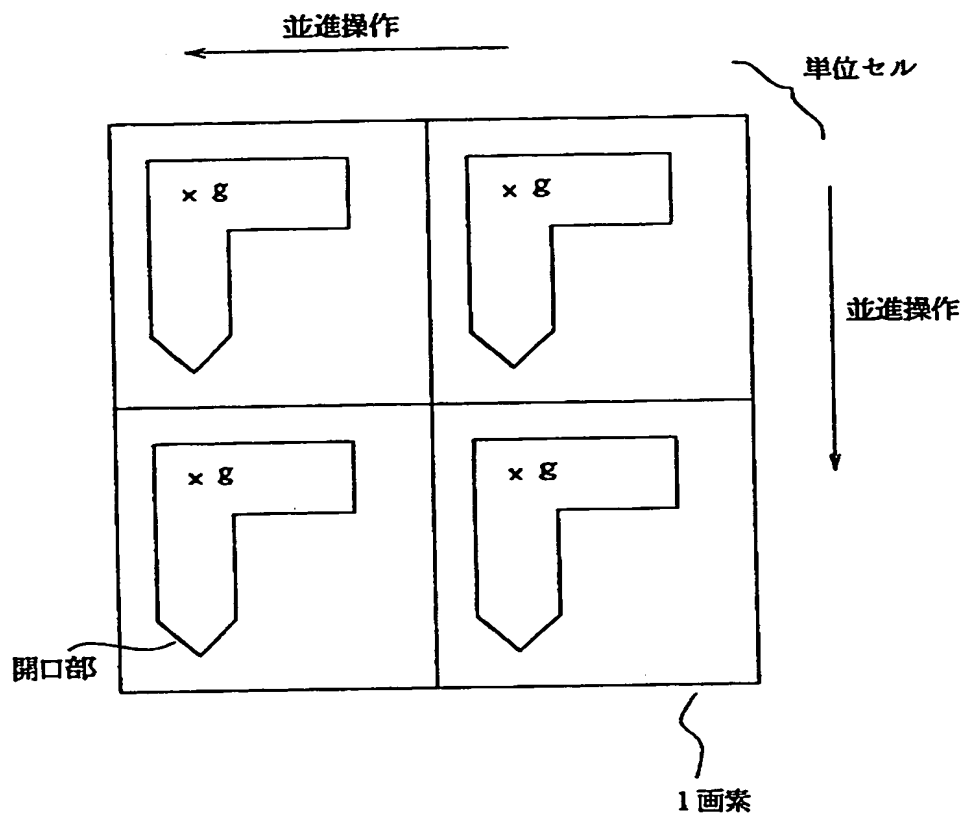
【図 15】



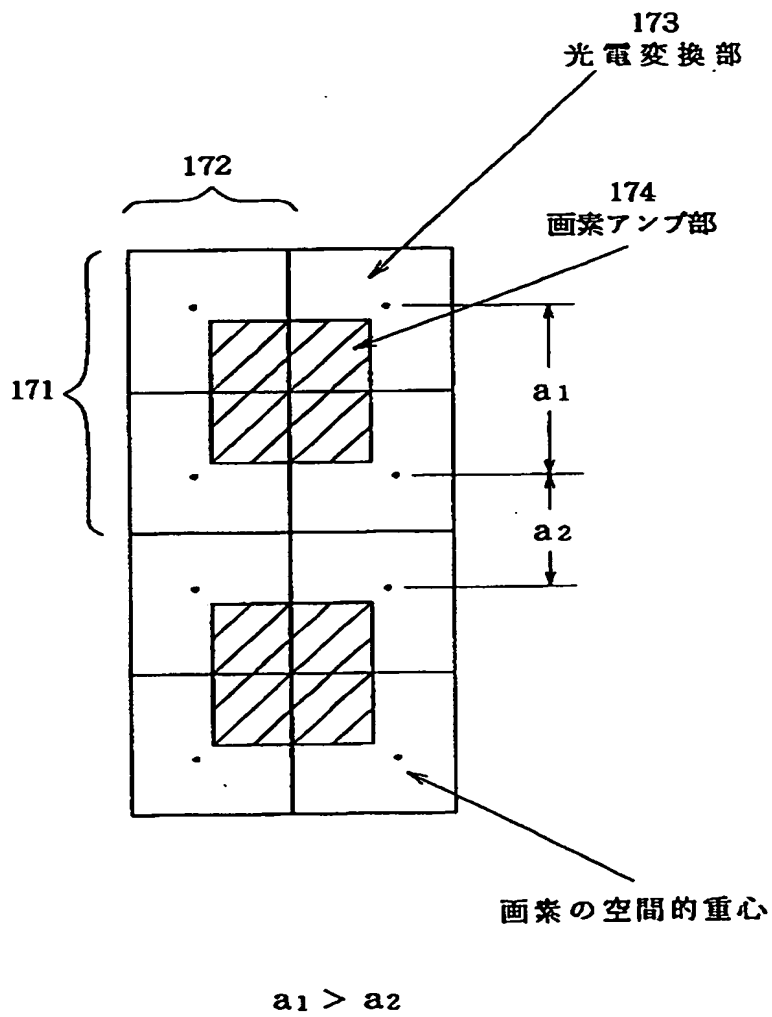
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 共通アンプに接続された画素をインタレース走査するとき、共通アンプ間の信号レベル差が発生しないように信号を読出す。

【解決手段】 複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、共通アンプの入力部で、水平方向に配された複数の光電変換部からの信号を加算する手段と、垂直方向または斜め方向に配された複数の光電変換部からの信号を水平転送手段を用いて加算する手段（H・SR）と、を有する。

【選択図】 図7

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000001007
【住所又は居所】 東京都大田区下丸子3丁目30番2号
【氏名又は名称】 キヤノン株式会社
【代理人】 申請人
【識別番号】 100065385
【住所又は居所】 東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル
【氏名又は名称】 山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社